

# Testes não destrutivos para *upscreening* de transistor com qualificação militar e fora do prazo de *relifing*

Non-destructive upscreening tests for military qualified transistor out of relifing time

Fabício Ribeiro Brandão<sup>1</sup>, Priscila Custódio de Matos<sup>1</sup>, Dhiego Marques Menezes Abrahão<sup>1</sup>

## RESUMO

Este trabalho teve como objetivo apresentar a verificação da possibilidade de uso espacial de um lote de 50 transistores JANTX2N2905A com qualificação militar que não foi utilizado no prazo para a sua montagem em placa eletrônica. Para tal, em concordância com normas espaciais estabelecidas, foi desenvolvida uma metodologia com a combinação entre os testes do procedimento de *relifing*, que checam a confiabilidade de componentes eletrônicos estocados por um longo período, e os testes para a técnica de *upscreening*, usada para averiguar a possibilidade da aplicação espacial de componentes eletrônicos que não são formalmente qualificados para essa finalidade. Com isso, foram obtidos resultados satisfatórios perante os testes não destrutivos realizados.

**Palavras-chave:** Qualificação, *Relifing*, *Upscreening*.

## ABSTRACT

This work aimed to present the verification of the possibility of space use of a batch of 50 JANTX2N2905A transistors with military qualification that was not used within the period for its assembly on an electronic board. For this, in accordance with established space standards, a methodology was developed with the combination of relifing test procedure, which checks the reliability of electronic components stored for a long period, and the upscreening tests technique, used to ascertain the possibility of space application of electronic components that are not formally qualified for this purpose. With that, satisfactory results were obtained in relation to the non-destructive tests performed.

**Keywords:** Qualification, Relifing, Upscreening.

1. Instituto Nacional de Pesquisas Espaciais – Laboratório de Integração e Testes (LIT) da Coordenação de Montagem, Integração e Testes (COMIT) - São José dos Campos (SP), Brasil.

**Autor correspondente:** [fabricioribeirobrandao@hotmail.com](mailto:fabricioribeirobrandao@hotmail.com)

**Recebido:** 16 Nov. 2020. **Aceito:** 09 Dez. 2020.

## INTRODUÇÃO

Na fabricação de satélites artificiais e veículos lançadores para projetos espaciais, são utilizados componentes eletrônicos que devem funcionar com confiabilidade e eficiência perante as condições ambientais hostis a que serão submetidos durante as fases de lançamento e de operação no espaço. Para isso, esses componentes passam por um processo de qualificação para aplicação espacial. Esse processo é composto da realização de testes e análises que verificam se os componentes possuem as características necessárias para atender às normas para a aplicação pretendida.

Para o nível de qualificação espacial, as condições e os tipos de testes realizados nos componentes são mais severos do que em relação aos outros níveis existentes. Assim, os componentes altamente qualificados têm um mercado específico de fornecedores, tendo o Brasil a necessidade de importar tais componentes<sup>1</sup>.

Com isso, no desenvolvimento atual de programas espaciais brasileiros, a aquisição de componentes eletrônicos com qualificação espacial sofre dificuldades, tais como: custo elevado dos componentes, longo prazo de entrega e restrições para a importação de alguns itens<sup>1</sup>.

Uma das medidas adotadas pelos programas espaciais brasileiros para minimizar as dificuldades citadas é a realização de testes de *upscreening* em componentes que não são formalmente qualificados para aplicações espaciais<sup>1</sup>. Os programas espaciais, quando necessário, utilizam essa técnica, pois ela possibilita verificar se componentes fabricados sem qualificação espacial, mas com maior disponibilidade e facilidade de aquisição, podem ser usados com confiabilidade para tal aplicação. Para isso, são feitos testes que avaliam as características técnicas e construtivas desses componentes.

Outra medida adotada pelos programas espaciais brasileiros para minimizar as dificuldades citadas anteriormente é a compra extra de componentes quando importados, para que as peças adquiridas em quantidade sobressalente garantam que o programa espacial não sofra com indisponibilidades no estoque internacional. Essa medida preventiva acaba por gerar um estoque de componentes adquiridos que não foram utilizados no prazo estipulado por norma para a montagem em placa de circuito impresso. Quando ocorre a necessidade de utilização de componentes fora do prazo citado, são realizados testes de *relifing* para verificar se as características do componente permanecem de acordo com as especificações originais e, assim, se pode ser aplicado um período extra para a sua montagem em placa eletrônica conforme a norma ECSS-Q-ST-60-14C (procedimento de *relifing* para componentes elétricos, eletrônicos e eletromecânicos).

Contudo, uma medida que contribui para mitigar as dificuldades de aquisição de componentes citadas é a abordagem deste trabalho, ou seja, a combinação de testes de *relifing* com a sequência de testes que compõem um *upscreening*, com a finalidade de verificar se um lote de 50 peças do transistor JANTX2N2905A, que não possui qualificação espacial e que não foi utilizado no prazo para montagem em placa eletrônica, poderá ainda ser empregado com confiabilidade em uma eventual aplicação espacial.

## REFERENCIAL TEÓRICO

### Normas estabelecidas

As normas de especificações de componentes para a aplicação espacial visam garantir a operação destes com taxas de falhas extremamente baixas e, para isso, elas asseguram todas as fases que envolvem a obtenção de um componente qualificado.

Entre os diferentes sistemas de normas existentes, os mais aplicados e difundidos são o Sistema Militar Americano (United States Military Standard – MIL), o da Administração Nacional da Aeronáutica e Espaço (National Aeronautics and Space Administration – NASA) e o da European Space Components Coordination (ESCC), da Agência Espacial Europeia (European Space Agency – ESA)<sup>2</sup>.

Além das normas e dos procedimentos das agências espaciais, os componentes eletrônicos são empregados conforme os requisitos de qualidade do programa espacial no qual eles serão utilizados.

### Qualificação dos componentes

Um componente é qualificado quando foi produzido e selecionado em conformidade com as normas que asseguram que ele possui as características para suportar as condições a que será submetido, e essas condições variam para cada tipo de aplicação. Para a aplicação espacial, por exemplo, as principais características necessárias são: a faixa de temperatura de operação, a hermeticidade do encapsulamento, a capacidade de suportar altos níveis de vibração e a estabilidade dos parâmetros elétricos<sup>2</sup>.

Há diferentes níveis de qualificação para um componente, e eles variam dependendo dos testes a que o componente será submetido na triagem (*screening*), durante a etapa de qualificação. Para a qualificação de dispositivos semicondutores encapsulados, a norma MIL-PRF-19500 (especificação geral para o desempenho de dispositivos semicondutores) define quatro diferentes níveis, do menor nível para o maior de exigência: JAN, JANTX, JANTXV e JANS. O último nível de qualificação, JANS, é destinado ao uso espacial<sup>3</sup>.

A nomenclatura desses níveis de qualificação é definida pela *Joint Electronics Type Designation System* (JETDS), que anteriormente era denominada de *Joint Army-Navy Nomenclature System* (AN System. JAN)<sup>4</sup>. O nível JAN indica que o componente atende aos requisitos mínimos. Quando adicionado o TX, isso indica que aquele componente seguiu os requisitos da norma e também foi submetido a testes durante a fabricação. Já o TXV aponta que, além dos testes, o componente também foi verificado antes do

encapsulamento. O nível JANS demonstra que o componente é qualificado para uso em espaço ou que foi testado e que atende ao limite máximo de defeitos para o lote.

## Dificuldades enfrentadas em programas espaciais brasileiros para a aquisição de componentes com qualificação espacial

O custo e o prazo de entrega dos componentes variam em relação ao seu nível de qualificação. Isso se deve ao fato da realização dos testes agregados ao produto final para garantir a sua alta qualificação e ao fato de esses componentes não serem produzidos no Brasil<sup>5</sup>. A Tabela 1 apresenta essas variações para dois tipos de semicondutores utilizados no programa espacial do Satélite Sino-Brasileiro de Recursos Terrestres (China-Brazil Earth Resources Satellite – CBERS), desenvolvido por meio da cooperação entre o Instituto Nacional de Pesquisas Espaciais (INPE) e a Academia Chinesa de Tecnologia Espacial (CAST).

**Tabela 1:** Comparação de preços e prazos de entrega entre diferentes qualificações para dois tipos de semicondutores utilizados no programa Satélite Sino-Brasileiro de Recursos Terrestres (China-Brazil Earth Resources Satellite – CBERS).

Componente	Qualificação	Preço (US\$)	Prazo de entrega (semanas)
Diodo 1N5806	COMERCIAL	2,27	Em estoque
	JAN	10,95	16
	JANTX	14,54	22
	JANTXV	16,43	36
	JANS	76,86	48
Transistor 2N2222	COMERCIAL	0,75	Em estoque
	JAN	2,14	16
	JANTX	4,92	22
	JANTXV	8,59	24
	JANS	36,89	36

Fonte: adaptado de Muraoka<sup>1</sup>.

Na importação de componentes com qualificação espacial podem ocorrer atrasos na entrega, embargos, ou problemas de restrições para a importação, sendo um exemplo deste último as restrições impostas pelo Regulamento do Tráfego Internacional de Armas (International Traffic in Arms Regulations – ITAR), um regime regulatório dos Estados Unidos da América que, entre outras atribuições, restringe e controla naquele país a exportação de tecnologias consideradas militares que estão presentes na Lista de Munições dos Estados Unidos (United States Munitions List – USML)<sup>5</sup>.

Algumas ações tomadas para solucionar os problemas de importação de componentes altamente qualificados no programa CBERS foram: alteração de fornecedores, modificação no projeto e realização de testes de *upscreening*<sup>1</sup>.

### Upscreening

O *upscreening* consiste na realização de um conjunto de testes para selecionar componentes visando atender à aplicação pretendida. Assim, quando não é possível por alguma razão adquirir componentes já qualificados, realizam-se os testes de *upscreening* para verificar se componentes já fabricados e não qualificados para a aplicação pretendida possuem as características necessárias para tal nível de qualificação<sup>2</sup>.

A sequência de testes para o *upscreening* de um componente é definida com base nas mesmas normas e especificações seguidas pelos fabricantes de componentes para o nível de qualificação desejado. Sendo assim, o componente vai passar quase que pela totalidade dos mesmos testes que um componente formalmente qualificado passa na triagem (*screening*) em sua fabricação<sup>2</sup>.

Normalmente os testes de *upscreening* são aplicados em componentes eletrônicos comerciais, referenciados pelo termo *commercial off-the-shelf* (COTS). Como consta da Tabela 1, os componentes de classificação comercial estão disponíveis em estoque ou são possíveis de se adquirir de forma mais acessível para curto prazo, além de terem custo baixo.

Conforme mencionado em Friedlander<sup>6</sup>, o uso de COTS em aplicações militares e espaciais foi o resultado da busca por uma solução alternativa para os problemas de disponibilidade e de restrições orçamentárias, porém muitas questões são discutidas acerca da confiabilidade na utilização de tais componentes em aplicações espaciais.

Entretanto, em Braga<sup>5</sup>, é afirmado que para o processo de *upscreening* em que se deseja obter componentes para a aplicação espacial, a escolha de componentes já fabricados com qualificação militar possibilita obter maior confiabilidade e um processo mais rápido em relação aos componentes comerciais. Isso se deve ao fato de os componentes com qualificação militar já terem passado por alguns dos processos requeridos para a qualificação espacial.

## Screening

Segundo as normas estabelecidas, os componentes devem passar por uma triagem (*screening*), composta de uma sequência de testes e análises, que deve ser seguida em toda a etapa de fabricação dos componentes, para que eles detenham a qualificação desejada.

A norma MIL-PRF-19500P define na Tabela E-IV do Apêndice E os requerimentos do *screening* para os dispositivos semicondutores. A sequência de testes resume-se conforme apresentado na Fig. 1, porém os testes necessários variam, podendo ser obrigatórios, opcionais ou não aplicáveis de acordo com o tipo de componente e o nível de qualificação requerido.

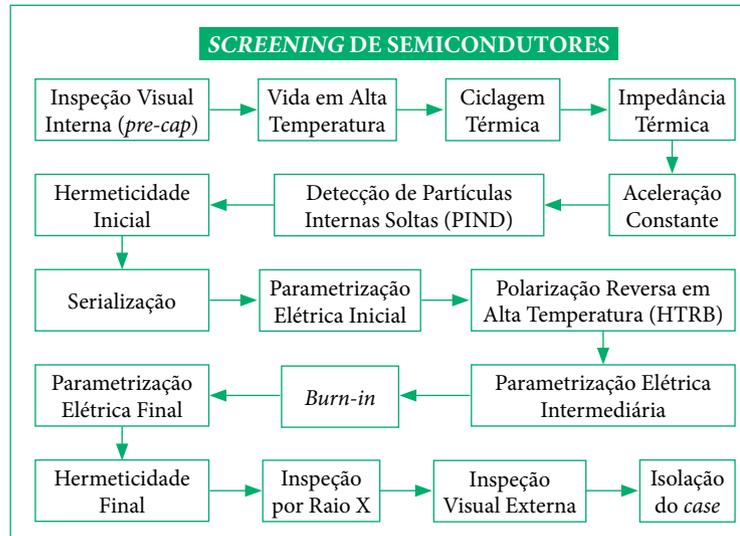


Figura 1: Sequência de *screening* para semicondutores segundo a norma MIL-PRF-19500P.

## Relifing

A norma ECSS-Q-ST-60-14C descreve todos os requerimentos necessários para verificar se componentes estocados por um longo período ainda podem ser utilizados na montagem em placas eletrônicas. Com isso, a data limite para que componentes estocados sejam utilizados na montagem em placas eletrônicas, assim como o período em que é necessário ou não que os componentes sejam submetidos ao processo de *relifing* antes de tal montagem, é definida pela norma, conforme a Fig. 2.

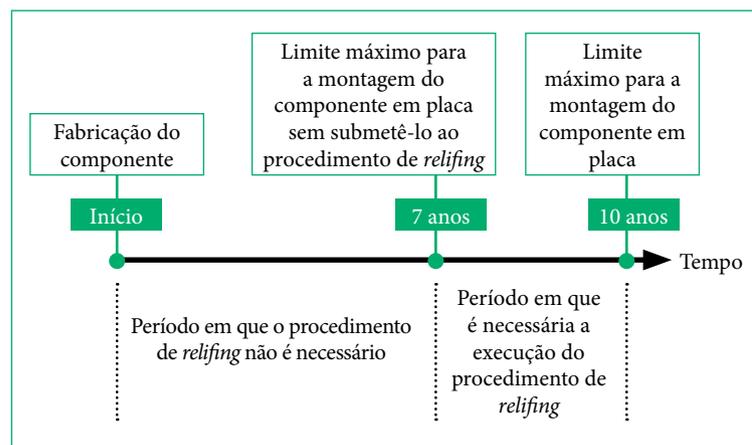


Figura 2: Linha do tempo para a execução do *relifing* em componentes eletrônicos segundo a norma ECSS-Q-ST-60-14C.

Para que sejam utilizados na montagem de placas, os componentes fabricados há mais de sete e menos de dez anos devem passar primeiramente pelo processo de *relifing*, conforme a Fig. 2. Esse processo consiste na realização de testes que vão verificar se as características do componente permanecem de acordo com as especificações determinadas para a sua fabricação.

A sequência dos testes necessários para o *relifing* é basicamente constituída de: inspeção visual externa, parametrização elétrica, hermeticidade e testes adicionais específicos<sup>7</sup>. Entretanto, dependendo do tipo de componente, alguns dos testes não são requeridos e outros podem ser realizados por amostragem, conforme a Tabela 6.1 da norma ECSS-Q-ST-60-14C.

## Transistor JANTX2N2905A

O transistor cujo *part number* (PN), ou seja, o código padronizado de identificação do componente, é JANTX2N2905A foi fabricado segundo as especificações MIL e possui o nível de qualificação JANTX conforme a norma MIL-PRF-19500. Sendo assim, ele já passou em sua fabricação pelos testes necessários para tal qualificação militar.

A aplicação espacial desse tipo de transistor 2N2905A é comum em satélites artificiais. Esse componente é um transistor bipolar PNP de silício e de comutação, com o encapsulamento do tipo TO-39.

Por ser um componente qualificado e fabricado conforme a MIL, suas características no *datasheet* do fabricante são as mesmas da norma MIL-PRF-19500/290 (ficha de especificação de desempenho que aborda o transistor 2N2905A), sendo algumas delas exibidas na Tabela 2.

**Tabela 2:** Características do transistor 2N2905A.

Parâmetro	Valor máximo
Potência total de dissipação ( $P_T$ ) à temperatura ambiente ( $T_A$ ) de 25°C	0.8 W
Tensão entre coletor e base ( $V_{CBO}$ )	-60 Vdc
Tensão entre coletor e emissor ( $V_{CEO}$ )	-60 Vdc
Tensão entre emissor e base ( $V_{EBO}$ )	-40 Vdc
Corrente no coletor ( $I_C$ )	-600 mAdc
Temperatura de junção ( $T_J$ ) / temperatura de armazenamento ( $T_{STG}$ )	-65 a +200°C

Fonte: adaptado de Department of Defense of the United States of America<sup>8</sup>.

## METODOLOGIA

Para este trabalho, foi selecionado um lote com 50 peças do transistor JANTX2N2905A que estava estocado por um longo período em um ambiente controlado de acordo com os requerimentos da norma ECSS-Q-ST-60-14C.

O lote de transistores selecionado foi fabricado na 20ª semana do ano de 2008, portanto há mais de dez anos. Mesmo assim, foi utilizado como referência todo o procedimento de *relifing* para verificar se esses componentes, mesmo estocados por um longo período, ainda possuem suas características de fabricação.

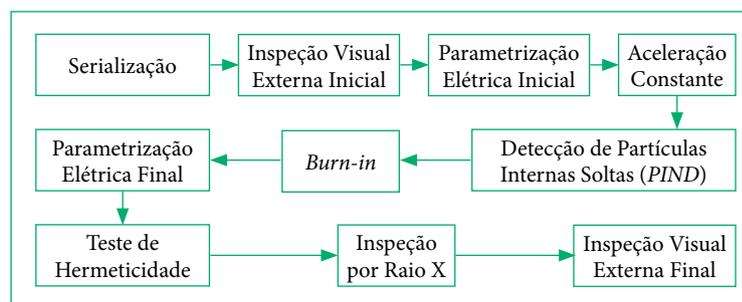
Os transistores utilizados neste trabalho possuem a qualificação militar JANTX, porém, para a aplicação espacial, a qualificação apropriada é a JANS. Logo, também foi utilizada a técnica de *upscreening*.

Com isso, a metodologia adotada para verificar se esses componentes podem ser utilizados em uma aplicação espacial foi uma combinação entre os testes de *relifing* e os testes que compõem o *upscreening*.

Para o *relifing* de transistores, a norma ECSS-Q-ST-60-14C define que eles devem passar pelos testes de inspeção visual externa, de parametrização elétrica e de hermeticidade.

Já para a técnica de *upscreening* desenvolvida, foram realizados os testes requeridos para a qualificação JANS dos transistores, conforme o *screening* da Fig. 1, entretanto há testes definidos pela norma como opcionais, e também há testes aos quais esses componentes já foram submetidos em sua fabricação, uma vez que eles já possuem a qualificação JANTX. Sendo assim, nenhum dos testes foi realizado novamente, para evitar o desgaste por estresse elétrico ou mecânico dos componentes.

Então, a sequência dos testes para a metodologia adotada foi desenvolvida conforme a Fig. 3.



**Figura 3:** Sequência de testes para a metodologia adotada.

Os testes foram realizados no período entre março e maio de 2019 na área de Qualificação e Confiabilidade de Componentes, que pertence ao Laboratório de Integração e Testes (LIT), do INPE.

Todos os testes realizados seguiram os requisitos das normas MIL-PRF-19500P e ECSS-Q-ST-60-14C.

## Inspeção visual externa

A análise de inspeção visual externa foi realizada de acordo com o método 2071 da norma MIL-STD-750F (norma de métodos para testes em dispositivos semicondutores).

Na inspeção visual foi utilizado um microscópio óptico com ampliação de 3 a 10 vezes para verificar se os componentes estão em conformidade com a norma referida. Assim, para cada componente foram verificados: os aspectos construtivos, as dimensões, se a marcação no encapsulamento permanecia legível e se continha as informações necessárias para a sua identificação, se havia evidências de corrosão ou contaminação, se havia buracos ou rachaduras, se havia qualquer dano que expusesse a base do material, se havia aderência de material estranho à superfície do componente (incluindo solda ou outra metalização) e se não havia nenhum outro defeito que compromettesse o desempenho do componente.

## Parametrização elétrica

Os testes para a verificação dos parâmetros elétricos dos componentes foram realizados de acordo com a Tabela 1 – subgrupo 2 da norma MIL-PRF-19500/290F.

A Tabela 3 exhibe os parâmetros que foram analisados e os respectivos métodos e condições que foram seguidos.

**Tabela 3:** Parâmetros e condições para os testes elétricos.

Parâmetro analisado	Método da norma MIL-STD-750F	Condições do teste
Tensão de ruptura entre coletor e emissor	3011, condição D	$I_C = -10 \text{ mAdc}$ , pulsado
Corrente de corte do coletor para a base	3036, condição D	$V_{CB} = -60 \text{ Vdc}$
Corrente de corte do coletor para o emissor	3041, condição C	$V_{CE} = -40 \text{ Vdc}$
Corrente de corte do emissor para a base	3061, condição D	$V_{EB} = -5 \text{ Vdc}$
$hFE$ ou $\beta$ (relação $I_C/I_B$ )	3076	$V_{CE} = -10 \text{ Vdc}$ a) $I_C = -0,1 \text{ mAdc}$ b) $I_C = -1 \text{ mAdc}$ c) $I_C = -10 \text{ mAdc}$

Para a realização dos testes elétricos foi utilizado o equipamento analisador de dispositivos semicondutores Agilent B1500A, exibido na Fig. 4. Ele possui uma interface de usuário, por meio do programa EasyEXPERT, que permite configurar cada teste desejado.



**Figura 4:** Analisador de dispositivos semicondutores Agilent B1500A, utilizado na parametrização elétrica dos transistores.

## Aceleração constante

O teste de aceleração constante foi realizado de acordo com o Método 2006 da norma MIL-STD-750F. Esse teste tem por finalidade aplicar uma força centrífuga em dispositivos para evidenciar possíveis fraquezas estruturais e mecânicas internas que podem não ser incitadas pelos choques e vibrações mecânicas do teste de detecção de partículas internas soltas<sup>9</sup>.

Foi utilizada uma centrífuga laboratorial, exibida na Fig. 5, que opera em vácuo médio e possui um rotor capaz de atingir alta velocidade de rotação e de produzir a força G requerida de 20.000 g (quantidade de força centrífuga a ser aplicada, em unidades de gravidade).

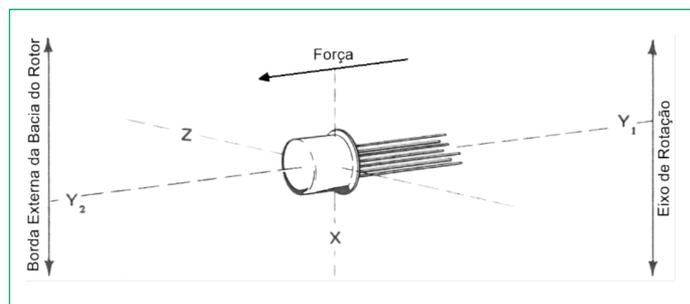


**Figura 5:** Centrífuga laboratorial utilizada no teste de aceleração constante.

Utilizando um adaptador (acessório para fixação do componente ao equipamento), os componentes foram dispostos com peso balanceado no rotor, conforme exibido na Fig. 6, de tal maneira que a força centrífuga fosse aplicada no eixo  $Y_1$  dos componentes, de acordo com a Fig. 7.



**Figura 6:** Componentes dispostos no adaptador dentro da centrífuga laboratorial utilizada no teste de aceleração constante.



**Figura 7:** Aplicação da força centrífuga no transistor.

Fonte: adaptado de Beckman Instruments Inc.<sup>10</sup>.

### Detecção de partículas internas soltas

O teste de detecção de partículas internas soltas (em inglês *particle impact noise detection* – PIND) foi realizado de acordo com a condição A do Método 2052 da norma MIL-STD-750F. Esse teste tem por finalidade detectar a existência de partículas soltas na cavidade interna dos componentes encapsulados.

A configuração de teste utilizada é constituída de:

- Um *shaker* (equipamento agitador que produz os choques e vibrações mecânicas), que possui um sensor acústico integrado (Fig. 8);
- Um osciloscópio, que monitora o sensor acústico do *shaker* para a identificação de eventuais partículas internas soltas (Fig. 9);
- Um módulo de controle, que programa as operações realizadas pelo *shaker* (Fig. 9).



**Figura 8:** Equipamento *shaker* utilizado no teste de detecção de partículas internas soltas (em inglês *particle impact noise detection – PIND*).



**Figura 9:** Osciloscópio e módulo de controle do *shaker*, respectivamente, utilizados no teste de detecção de partículas internas soltas (em inglês *particle impact noise detection – PIND*).

Para a execução do teste, o *shaker* foi programado para realizar as seguintes operações 1 e 2, intercaladas numa sequência consecutiva de quatro ciclos para cada componente:

1. Três choques mecânicos consecutivos com intensidade de  $1.000 \pm 200$  g (em unidades de gravidade), tendo cada um dos choques duração menor do que 100  $\mu$ s;
2. Vibração com intensidade de 20 g (em unidades de gravidade), numa frequência calculada conforme a norma utilizada de 46 Hz e com duração de  $3 \pm 1$  segundos.

### **Burn-in**

Durante o ciclo de vida (tempo em operação) de um componente eletrônico, o período em que mais ocorrem falhas é conhecido pelos termos *início da vida ou mortalidade infantil*, que é o período inicial em que o componente entra em operação. Esses defeitos são originários principalmente de eventuais falhas ocorridas no processo de fabricação<sup>11</sup>.

No teste de *burn-in* os componentes são colocados em situações severas de funcionamento, porém respeitando as condições máximas especificadas que eles devem suportar. Esse processo força possíveis falhas do período de início da vida a ocorrer, sendo essas falhas identificadas antes de os componentes serem utilizados em uma aplicação<sup>6</sup>.

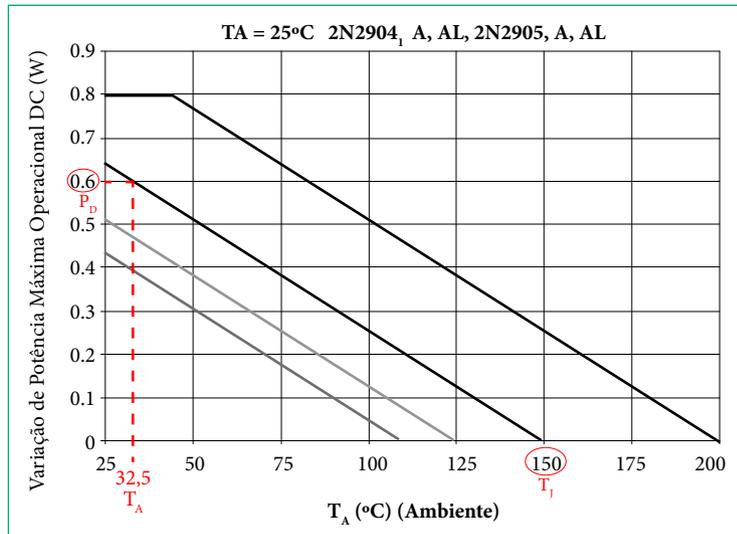
O teste de *burn-in* foi realizado de acordo com a condição B do Método 1039 da norma MIL-STD-750F e as condições do item 4.3.1 da norma MIL-PRF-19500/290F.

Tendo em vista as características da Tabela 2 e o objetivo do teste de *burn-in*, os transistores do tipo 2N2905A devem ser submetidos, conforme as normas utilizadas, às seguintes condições:

- Potência dissipada no transistor ( $P_D$ ) de no mínimo 75% do valor máximo de  $P_T$ ;

- Polarização de  $V_{CB}$  constante em um valor entre -10 e -30 Vdc;
- Aplicação de  $T_A$  constante juntamente com a  $P_D$  selecionada para atingir no mínimo  $T_j = 135^\circ\text{C}$ .

Para determinar o valor de  $T_A$  a que o componente deve ser submetido para atingir a  $T_j$  desejada, foi utilizado o gráfico da curva de desaceleração da relação entre a temperatura e a potência, mostrado na Fig. 10.



**Figura 10:** Curva de desaceleração da relação entre a temperatura e a potência para o transistor 2N2905A.

Fonte: adaptado de Department of Defense of the United States of America<sup>8</sup>.

Na Fig. 10, foi escolhida a reta para o valor de  $T_j$  igual a  $150^\circ\text{C}$  (interceptado no eixo  $x$ ). Assim, o ponto nessa reta que corresponde ao valor de  $P_D$  utilizado resulta na  $T_A$  de  $32,5^\circ\text{C}$ .

Foi projetada uma placa de circuito impresso para polarizar os transistores de forma a atingir os valores das condições citadas, requeridas pela norma.

Como já possuíam a qualificação JANTX, os transistores já haviam sido submetidos a 160 horas desse teste. Portanto, os componentes foram submetidos a apenas mais 80 horas de teste para atingir as 240 horas requeridas para a qualificação JANS, visto que o *burn-in* é um teste cumulativo.

## Teste de hermeticidade

O teste de hermeticidade tem por finalidade verificar se o encapsulamento do componente é totalmente hermético. Para isso, são realizados em sequência os métodos de fuga fina e fuga grossa, que identificam a existência de fissuras no encapsulamento do componente que possam resultar em oxidação e corrosão, comprometendo o seu desempenho.

Para realizar a verificação da integridade da hermeticidade do encapsulamento, dada uma condição específica, cada método utilizado analisa uma taxa de fuga no componente, que, nesses casos, é a quantidade de um gás que flui através de um vazamento, por um intervalo de tempo, em determinada temperatura e para uma diferença de pressão conhecida<sup>2</sup>.

### Fuga fina

O teste de fuga fina foi realizado de acordo com a condição H2 do Método 1071 da norma MIL-STD-750F.

Nessa condição, os componentes devem ser primeiramente pressurizados com gás hélio em uma câmara durante um período de 10 horas, que foi calculado conforme os requisitos da norma. Com isso, caso houvesse alguma fissura, o gás entraria no interior do componente.

A Fig. 11 exibe a câmara de pressurização utilizada nos testes de hermeticidade.

Após o fim da pressurização, os componentes foram inseridos no equipamento de detecção de fuga fina, que possui uma câmara de vácuo acoplada a um espectrômetro de massa para medir a taxa de vazamento de gás hélio para cada transistor, que deve ser menor que o valor de  $1 \times 10^{-8}$  atm.cm<sup>3</sup>/s, definido na Tabela 1071-V da norma.

A Fig. 12 exibe o equipamento detector de fuga fina utilizado no teste de hermeticidade de fuga fina.



Figura 11: Câmara de pressurização utilizada nos testes de hermeticidade.



Figura 12: Equipamento utilizado no teste de hermeticidade de fuga fina.

### Fuga grossa

O teste de fuga grossa foi realizado de acordo com a condição C do Método 1071 da norma MIL-STD-750F.

Nessa condição são utilizados dois líquidos perfluorocarbono, sendo os fluidos detector e indicador, que devem ter as características requeridas na Tabela 1071-II da norma MIL-STD-750F. Uma característica, por exemplo, é o ponto de ebulição do fluido detector, que é menor do que o do fluido indicador. Assim, foi utilizado como fluido detector o Fluorinert FC-72 e como fluido indicador o Fluorinert FC-40, ambos da fabricante 3M.

Inicialmente, os componentes foram submersos no líquido detector em um béquer e pressurizados em 30 psi na mesma câmara da Fig. 11 por 23 horas e 30 minutos, conforme selecionado na Tabela 1071-III da norma MIL-STD-750F. Caso existisse alguma fissura, o fluido detector penetraria no interior do componente.

Após a pressurização, os componentes foram submersos por 30 segundos no fluido indicador, que estava em uma temperatura de  $125 \pm 5^\circ\text{C}$ . Pela diferença entre os pontos de ebulição entre os fluidos detector e indicador (respectivamente  $56$  e  $165^\circ\text{C}$ ), caso houvesse uma fissura no encapsulamento do componente, o líquido detector entraria em ebulição e seria possível visualizar bolhas saindo do local da fissura.

A norma utilizada também define as seguintes condições para garantir que o teste possua maior confiabilidade:

- Após a pressurização, os componentes devem permanecer no recipiente com o fluido detector;
- Os componentes podem permanecer no ar ambiente apenas  $2 \pm 1$  minutos entre a retirada deles do béquer com o fluido detector e a submersão no fluido indicador;
- Os componentes devem ser submersos no mínimo  $5,8$  cm abaixo da superfície do fluido indicador durante um período de 30 segundos a 1 minuto;
- Os componentes podem ser inseridos no fluido indicador em grupos, desde que se possa identificar a origem da possível ocorrência de bolhas;
- O fluido indicador deve ser filtrado para eliminar a possível presença de partículas que possam comprometer a realização do teste;
- O fluido indicador deve estar contido em um tanque com sistema de aquecimento capaz de atingir a temperatura requerida, além de possuir iluminação interna de no mínimo  $161.000$  luxes e um visor com ampliação entre  $1,5$  e  $30$  vezes para visualizar a ocorrência de possíveis bolhas.

A Fig. 13 exibe o equipamento utilizado no teste de hermeticidade de fuga grossa.



Figura 13: Equipamento utilizado no teste de hermeticidade de fuga grossa.

## RESULTADOS DOS TESTES REALIZADOS

### Inspeção visual externa

Nas análises de inspeção visual externa não foi encontrada nenhuma anomalia nos componentes.

A marcação nos componentes contém os seus respectivos *date code* (código para identificação da data de fabricação) e PN, conforme a Fig. 14, que exhibe as imagens obtidas no teste.

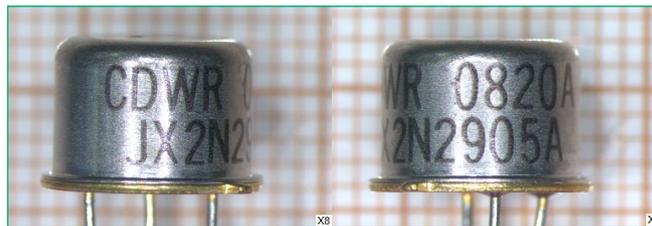


Figura 14: Imagens obtidas na análise de inspeção visual externa.

### Parametrização elétrica

Para analisar a conformidade das características elétricas dos transistores do tipo 2N2905A, foram utilizados como referência os valores limites determinados pela norma MIL-PRF-19500/290R para cada parâmetro elétrico da Tabela 3.

Para cada parâmetro elétrico analisado, além dos valores numéricos, os resultados puderam ser analisados por meio de gráficos gerados pelo programa do equipamento utilizado. A Fig. 15 exhibe um exemplo de imagem gerada pelo analisador de semicondutores durante o teste de tensão de ruptura entre coletor e emissor.

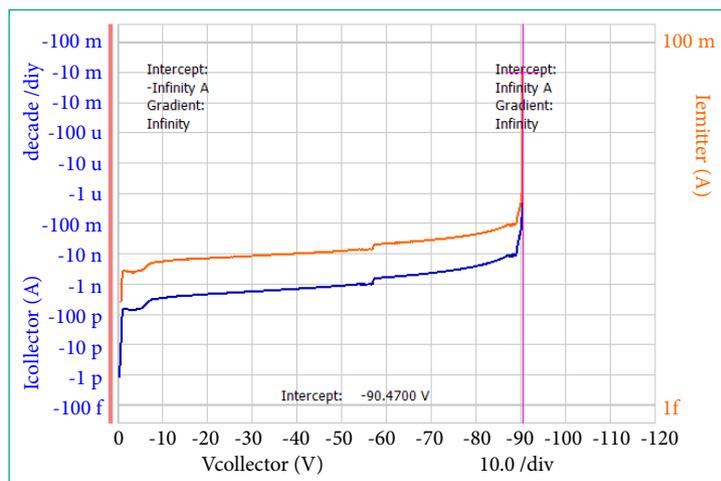


Figura 15: Exemplo de imagem gerada pelo analisador de semicondutores durante o teste de tensão de ruptura entre coletor e emissor.

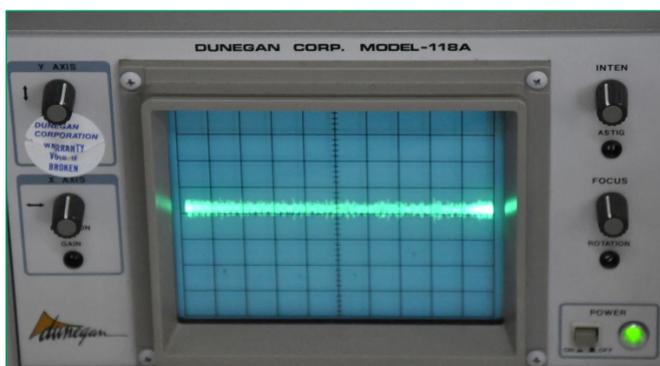
Todos os componentes obtiveram valores de acordo com os limites máximos e mínimos determinados pela norma para todos os parâmetros elétricos analisados.

### Detecção de partículas internas soltas

O teste de PIND analisa a possível existência ou o surgimento de partículas internas soltas nos componentes após serem submetidos à aplicação da força centrífuga no teste de aceleração constante e à aplicação de choques e vibrações mecânicas do próprio teste de PIND.

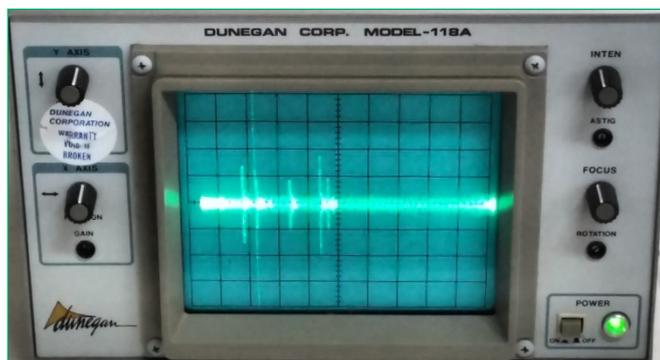
Para o lote de transistores analisado nesse teste realizado, não foi detectada a existência de partículas internas soltas que poderiam causar falhas e comprometer o desempenho elétrico dos componentes.

Os resultados foram analisados por meio do osciloscópio de monitoramento acoplado ao sensor acústico, que obteve sinais de frequência estáveis e semelhantes para todos os componentes, conforme a Fig. 16, não sendo identificada nenhuma partícula solta.



**Figura 16:** Exemplo de sinal obtido no osciloscópio para os resultados aprovados no teste de detecção de partículas internas soltas (em inglês *particle impact noise detection – PIND*).

Caso houvesse alguma partícula interna solta no componente, seriam identificados picos de ruídos no sinal, como ocorreu em outro ensaio realizado no mesmo equipamento conforme a Fig. 17, em que foi utilizado o mesmo tipo de transistor deste artigo, do mesmo fabricante e que possuía a mesma qualificação militar JANTX.



**Figura 17:** Exemplo de sinal obtido no osciloscópio para resultados reprovados no teste de detecção de partículas internas soltas (em inglês *particle impact noise detection – PIND*).

### Burn-in

Durante a execução do teste, a corrente total prevista fornecida para o circuito foi monitorada pela fonte de alimentação utilizada e se manteve estável até o fim do teste.

Os resultados sobre o efeito do teste de *burn-in* nos componentes foram analisados nos testes posteriores a ele.

### Teste de hermeticidade

Os componentes obtiveram taxa de fuga de gás hélio menor do que  $1 \times 10^{-8}$  atm.cm<sup>3</sup>/s no teste de fuga fina.

A Fig. 18 exibe a tela do equipamento detector de fuga fina durante o teste em um transistor.

Não foi detectada nenhuma ocorrência de bolhas enquanto os componentes estavam submersos no fluido indicador no teste de fuga grossa.

A Fig. 19 exibe os componentes submersos no fluido indicador por meio do visor de ampliação do equipamento utilizado no teste de fuga grossa.



Figura 18: Tela do equipamento detector de fuga fina durante o teste em um transistor.

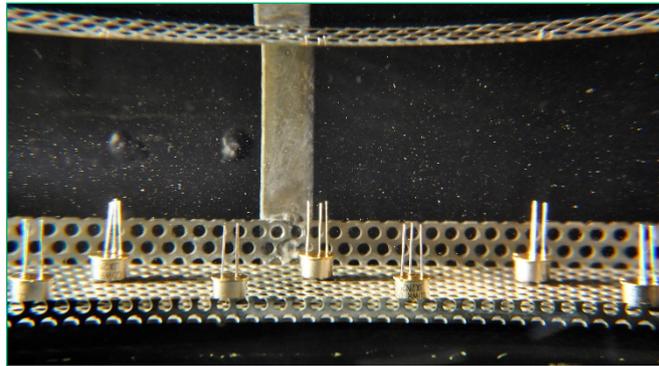


Figura 19: Imagem do visor do equipamento utilizado no teste de fuga grossa durante o ensaio realizado.

## COMENTÁRIOS E DISCUSSÃO

Na inspeção por raios X realizada não foi possível visualizar os fios de ligação internos por serem de alumínio. Este, por causa do seu número atômico ( $Z = 13$ ), absorve pouca quantidade de raios X. Por isso, os fios internos não foram visualizados na inspeção radiográfica.

Os componentes obtiveram resultados positivos em todos os testes requeridos pelo procedimento de *relifing* e em todos os testes não destrutivos requeridos pelo *screening* para a qualificação espacial, entretanto não foram realizados os testes de análise física destrutiva nem de radiação, que também são requeridos pela norma MIL-PRF-19500P para a qualificação espacial. Portanto, ainda não foram analisadas todas as características requeridas para a aplicação espacial.

Este trabalho foi desenvolvido para aplicações espaciais, porém a metodologia descrita aqui pode ser utilizada em outros segmentos, como, por exemplo: militar, industrial, de telecomunicações e automotivo, desde que sejam feitas adequações nos requisitos e nas condições pertinentes à área de aplicação. Logo, para aplicações cujos níveis de exigência e criticidade sejam inferiores aos espaciais, é necessário reavaliar a sequência de testes e análises. Como resultado final dos testes de *upscreening*, tem-se um conjunto de dados que informam o nível de qualificação do lote de componentes analisado e que, por consequência, interferirá diretamente na confiabilidade do produto final.

## CONCLUSÃO

Embora o lote de componentes esteja fora do prazo determinado pela norma ECSS-Q-ST-60-14C para a montagem em placa eletrônica, todas as peças obtiveram êxito tanto nos testes requeridos no procedimento de *relifing* quanto nos testes não destrutivos requeridos para um nível de qualificação maior em relação ao que eles foram fabricados.

A confiabilidade dos componentes para o uso espacial foi confirmada apenas por testes não destrutivos de *upscreening*, em que foi possível avaliar que todas as peças possuem as características requeridas para a qualificação espacial, entretanto a norma MIL-PRF-19500P ainda especifica os testes para a análise física destrutiva e os testes de radiação a que determinada amostra do lote de componentes deve ser submetida, para, assim, serem analisadas outras características demandadas para a aplicação espacial. Com isso, é necessário o estudo para tal metodologia em trabalhos futuros.

Contudo, a metodologia criada possibilitou a análise das características dos componentes de forma eficiente e rápida, haja vista que os componentes já possuíam qualificação militar e, dessa maneira, já tinham sido submetidos a alguns testes requeridos para a qualificação espacial, tendo assim maior confiabilidade.

## REFERÊNCIAS

---

1. Muraoka. Componentes Eletrônicos para Uso Espacial: Visão da Aplicação [Internet]. 2010 [acessado em 4 abr. 2019]. Disponível em: [http://www.ieav.cta.br/peice2010/Apresentacoes\\_PEICE%202010\\_pdf/2010-11-29/0104-Issamu.pdf](http://www.ieav.cta.br/peice2010/Apresentacoes_PEICE%202010_pdf/2010-11-29/0104-Issamu.pdf)
2. Ribeiro MCFSG. Upscreening em componentes eletrônicos comerciais para aplicação espacial [dissertação]. São Paulo: Universidade de São Francisco; 1999.
3. United States of America. Department of Defense. MIL-PRF-19500P: Performance Specification Semiconductor Devices, General Specification For. Columbus: Department of Defense; 2018. 160 p.
4. United States of America. Department of Defense. MIL-STD-196G: Standard Practice. Joint Electronics Type Designation Automated System. Columbus: Department of Defense; 2018. 58 p.
5. Braga DE. Testes de up-screening em diodo 1N6638 [monografia]. São José dos Campos: ETEP Faculdades; 2013.
6. Friedlander D. COTS EEE parts in space applications: evolution overview [Internet]. Alter Technology; 2016 [acessado em 20 maio 2020]. Disponível em: <https://wpo-altertechnology.com/cots-eee-parts-in-space-applications-evolution-overview>
7. Netherlands. European Space Agency. ECSS-Q-ST-60-14C: Relifing procedure – EEE components. Noordwijk: European Space Agency; 2008. 29 p.
8. United States of America. Department of Defense. MIL-PRF-19500/290R: Performance Specification Sheet Transistor, PNP, Silicon, Switching, Types, 2N2904, 2N2904A, 2N2904AL, 2N2905, 2N2905A, AND 2N2905AL, JAN, JANTX, JANTXV, JANS. Columbus: Department of Defense; 2018. 29 p.
9. United States of America. Department of Defense. MIL-STD-750F: Test Method Standard. Test Method for Semiconductor Devices. Columbus: Department of Defense; 2013.
10. Beckman Instruments Inc. The Component-test Bowl Rotor. Palo Alto: Beckman Instruments Inc.; 1980. 12 p.
11. Martin LP. Electronic failure analysis handbook: techniques and applications for electronic and electrical packages, components, and assemblies. Nova York: McGraw-Hill; 1999.